

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-308335

(43)Date of publication of application : 19.11.1993

(51)Int.Cl. H04J 3/06  
H04J 3/00  
H04Q 11/04  
H04Q 11/04

(21)Application number : 04-112695

(71)Applicant : FUJITSU LTD

(22)Date of filing : 01.05.1992

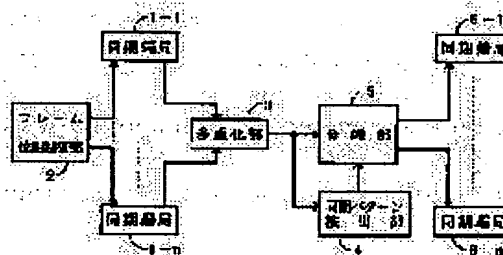
(72)Inventor : SUZUKI KATSUO

## (54) METHOD AND DEVICE FOR MULTIPLEXING AND DEMULTIPLEXING

### (57)Abstract:

**PURPOSE:** To use standard frame constitution and make the time required for synchronism detection constant by equally setting frame synchronism patterns of synchronizing digital signals outputted from plural synchronous terminal stations.

**CONSTITUTION:** When the synchronous terminal stations 1-1-1-n output the synchronizing digital signals, the phases of the same frame synchronism patterns included in the signals are synchronized by a frame phase control part 2 and the signals are multiplexed, bit by bit, by a multiplexing part 3 in predetermined order and transmitted. On a reception side, a synchronism pattern detection part 4 detects the frame synchronism patterns in the synchronizing digital signal from the multiplexing part 3 and a demultiplexing part 5 separates the synchronizing digital signals from the synchronizing digital signal in the multiplexing order determined by the multiplexing part 3. Then, the separated synchronizing digital signals are distributed to synchronous terminal stations 6-1-6-n. Consequently, the synchronous terminal stations can use the standard frame synchronism patterns based upon the CCITT recommendations and the time required for synchronism detection can be made constant.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-308335

(43)公開日 平成5年(1993)11月19日

(51)Int.Cl.<sup>5</sup>

H 0 4 J 3/06

3/00

H 0 4 Q 11/04

識別記号

C 8843-5K

A 8843-5K

3 0 4 K 9076-5K

9076-5K

F I

技術表示箇所

H 0 4 Q 11/ 04

J

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号

特願平4-112695

(22)出願日

平成4年(1992)5月1日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 鈴木 勝男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 茂泉 修司

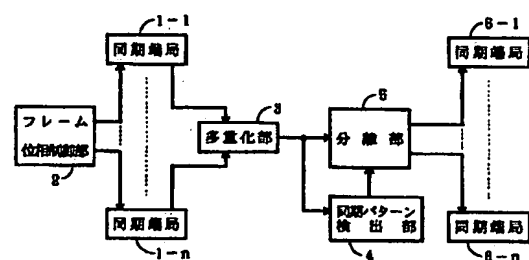
(54)【発明の名称】 多重化・分離方法及び装置

(57)【要約】

【目的】 複数の同期デジタル信号の多重化・分離方法及び装置に関し、いずれの同期端局もCCITT勧告に準拠した標準のフレーム構成を採用し且つ同期検出に要する時間を多重化チャネル数に関係無く一定とすることを目的とする。

【構成】 複数の同期デジタル信号の同じフレーム同期パターンを全て同相にしてから予め決めた順序でビット多重して送信し、受信側では該フレーム同期パターンを検出することにより該順序に従って各同期デジタル信号を分離するように構成する。

本発明の原理図



## 【特許請求の範囲】

【請求項1】 複数の同期デジタル信号の同じフレーム同期パターンを全て同相にしてから予め決めた順序でビット多重して送信し、受信側では該フレーム同期パターンを検出することにより該順序に従って各同期デジタル信号を分離することを特徴とした多重化・分離方法。

【請求項2】 同期デジタル信号を送信する複数の同期端局(1-1~1-n)と、  
各同期端局(1-1~1-n)における同じフレーム同期パターンを全て同相にするフレーム位相制御部(2)と、  
各同期端局(1-1~1-n)からの同期デジタル信号を予め決めた順序でビット多重して送信する多重化部(3)と、  
該多重化部(3)からの同期デジタル信号中のフレーム同期パターンを検出する同期パターン検出部(4)と、  
該同期デジタル信号から該順序に従って各同期デジタル信号を分離する分離部(5)と、  
該分離部(5)で分離された同期デジタル信号を受信する複数の同期端局(6-1~6-n)と、  
を備えたことを特徴とする多重化・分離装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は多重化・分離方法に関し、特に複数の同期デジタル信号の多重化・分離方法及び装置に関するものである。

【0002】 新ハイアラキによる同期網(SDH)等においては、同期デジタル信号が用いられるが、この同期デジタル信号の送受信を正確に行うには、フレーム同期パターンを用いる必要がある。

## 【0003】

【従来の技術】 図4は従来の多重化・分離方法を直接使用する装置を示したもので、送信部は複数の同期端局として2つの同期端局11-1、11-2と、これらの同期端局11-1、11-2から出力される同期デジタル信号をビット多重して送信する多重化部21とで構成されており、受信部は、送信部から送信されて来る同期デジタル信号を同期端局毎にチャンネル分離する分離部23と、この分離部23の分離動作を制御するための分離制御部24と、送信部に対応した2つの同期端局25-1、25-2とで構成されている。

【0004】 そして、動作においては、送信部では、同期端局11-1からの周波数が $f_0$ (b/s)の同期デジタル信号と同期端局11-1からの同じ周波数 $f_0$ (b/s)の同期デジタル信号とを多重化部21でビット多重して2倍の周波数 $2f_0$ (b/s)の同期デジタル信号として送信するが、このとき、送信部では、受信部でのチャンネル分離を可能にするため、同期端局11-1及び11-2のそれぞれの同期デジタル信号のフレーム同期パターンを異ならせており、CCITT勧告に準拠しない非標準のフレーム構成を採っている。

【0005】 一方、受信部においては、受信した同期デジタル信号を分離部23で分離するとき、まず最初は分離制御部24がチャンネル分離先を適当に決めておき、ビット毎に分離を行って各同期デジタル信号を同期端局25-1、25-2に分配する。そして、同期端局25-1、25-2がそれぞれのフレーム同期パターンを検出しないときには、分離制御部24はチャンネル分離先を交換するように分離部23を制御し、これにより分離部23が再びチャンネル分離を行って各同期端局25-1、25-2がフレーム同期パターンを検出したときには、同期確立情報を分離制御部24に与えるので、分離制御部24は以降分離部23のチャンネル分離を固定化する。

## 【0006】

【発明が解決しようとする課題】 このような従来の多重化・分離方法及び装置によれば、受信部では同期が確立するまで分離先の変更が不可欠であり、 $n$ 個の同期端局が存在し、 $n$ チャンネル分多重化する場合の同期検出時間が1チャンネル分の $n$ 倍以上必要になるという問題点があった。

【0007】 従って本発明は、いずれの同期端局もCCITT勧告に準拠した標準のフレーム構成を採用し且つ同期検出に要する時間を多重化チャンネル数に関係無く一定とすることを目的とする。

## 【0008】

【課題を解決するための手段】 上記の目的を達成するため、本発明に係る多重化・分離方法では、複数の同期デジタル信号の同じフレーム同期パターンを全て同相にしてから予め決めた順序でビット多重して送信し、受信側では該フレーム同期パターンを検出することにより該順序に従って各同期デジタル信号を分離することを特徴としている。

【0009】 また本発明では上記の多重化・分離方法を直接使用する装置として、図1に原理的に示すように、同期デジタル信号を送信する複数の同期端局1-1~1-nと、各同期端局1-1~1-nにおける同じフレーム同期パターンを全て同相にするフレーム位相制御部2と、各同期端局1-1~1-nからの同期デジタル信号を予め決めた順序でビット多重して送信する多重化部3と、該多重化部3からの同期デジタル信号中のフレーム同期パターンを検出する同期パターン検出部4と、該同期デジタル信号から該順序に従って各同期デジタル信号を分離する分離部5と、該分離部5で分離された同期デジタル信号を受信する複数の同期端局6-1~6-nとを備えている。

## 【0010】

【作用】 本発明に係る多重化・分離方法を、この方法を直接使用する装置を示した図1を参照して以下に説明する。

【0011】 まず、複数の同期端局1-1~1-nか

ら出力される同期デジタル信号のフレーム同期パターンを同一に設定することにより、CCITT勧告に準拠した標準的なフレーム構成を採用することができる。

【0012】そして、このような各同期端局1-1~1-nが同期デジタル信号を出力するとき、その同期デジタル信号に含まれる同じフレーム同期パターンの位相をフレーム位相制御部2により同期させ(図3①、②参照)、この後、多重化部3でビット多重して送信することとなる。但し、多重化部3でのビット多重の順序は同期端局1-1~1-nに対応して予め決めておく。また、ビット多重すると、各同期端局1-1~1-nの同期デジタル信号の周波数は多重化数分だけ通倍される形となる(図3③参照)。

【0013】伝送されて来る同期デジタル信号中のフレーム同期パターンはビット多重されても、多重化により同期端局1-1~1-nの数だけ周波数が通倍される形となるので、結局、元のフレーム同期パターンと同じになり(図3③参照)、受信側では、このフレーム同期パターンを検出し、このフレーム同期パターンに従って同期デジタル信号を同期端局6-1~6-nに分離する。このとき、分離方法は、送信部の多重化部3において予め決めた順序で多重化したように、受信部の分離部5でもこの順序に従って行う。

【0014】このようにして本発明では、CCITT勧告に準拠した標準のフレーム同期パターンを各同期端局が用いることができ、しかも分離動作が1チャンネルの場合と同じ動作時間で済むこととなる。

【0015】

【実施例】図2は、図1に示した本発明に係る多重化・分離装置の実施例を示したもので、この実施例では、送信部において、新ハイアラキーの同期網(SDH)に対応した2.5GHzの複数の同期端局として2個の同期端局1-1及び1-2を用い、これに合わせて受信部における同期端局も2個の同期端局6-1及び6-2が用意されている。尚、図2に示した信号①~④は図3に示した信号①~④に対応している。

【0016】また、フレーム位相制御部2としては8KHzのフレームパルスを同期端局1-1、1-1に同じタイミングで与えており、これにより、フレーム位相が各同期端局において一致することとなる。

【0017】更に同期端局1-1、1-2から出力される同期デジタル信号のフレーム同期パターンは、図3①及び②に示すようにA1(11110110)+A2(00101000)として同じに設定されており、CCITT勧告に準拠した標準的なフレーム構成となっている。

【0018】そして、このような各同期端局1-1、1-2の同期デジタル信号を多重化部3でビット多重し

た後の5.0GHzのフレーム同期パターンは、図3③に示すように2倍の周波数となり、A1'(1111111100111100)+A2'(0000110011000000)となるが、これは結局のところ同図①及び②に示したパターンA1+A2と全く同じパルス列になることが分かる。但し、多重化部3でのビット多重動作は例えば「同期端局1-1の側から先に多重化する」というように予め決めておく。

【0019】従って、受信部に設けた分岐部7で分岐された同期デジタル信号中のフレーム同期パターン(図3③)はフレーム同期パターン①、②を検出することのできる低速用の同期パターン検出部4で検出することができ、フレームタイミング④として分離部5に与えられるので、このフレームタイミング④を受けた分離部5では、送信部で決められている多重化順序に則して同期デジタル信号を同期端局6-1及び6-2に振り分けることができる。

【0020】尚、上記の実施例では、同期端局を2個用意し、2多重化の例で説明したが、多重化数はn(n≧2)に適用することができる。

【0021】

【発明の効果】以上述べたように本発明に係る多重化・分離方法及び装置によれば、複数の同期デジタル信号の同じフレーム同期パターンを全て同相にしてから予め決めた順序でビット多重して送信し、受信側では該フレーム同期パターンを検出することにより該順序に従って各同期デジタル信号を分離するように構成したので、CCITT勧告に準拠した標準のフレーム同期パターンを各同期端局が用いることができ、しかも分離動作が1チャンネルの場合と同じ動作時間で済み、同期パターン検出部も多重化前の低速用と全く同じ回路で実現することができる。

【図面の簡単な説明】

【図1】本発明に係る多重化・分離方法及び装置を原理的に説明するためのブロック図である。

【図2】本発明に係る多重化・分離装置の実施例を示したブロック図である。

【図3】本発明に係る多重化・分離装置の実施例の動作を説明するためのタイムチャート図である。

【図4】従来例の構成を示した回路図である。

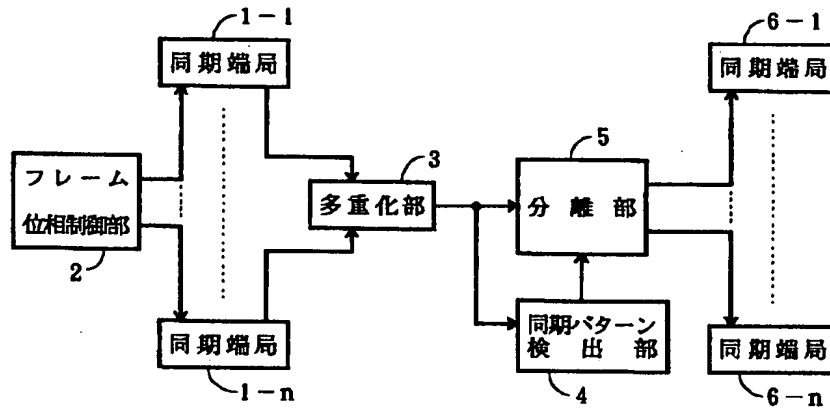
【符号の説明】

- 1-1~1-n, 6-1~6-n 同期端局
- 2 フレーム位相制御部
- 3 多重化部
- 4 同期パターン検出部
- 5 分離部

図中、同一符号は同一又は相当部分を示す。

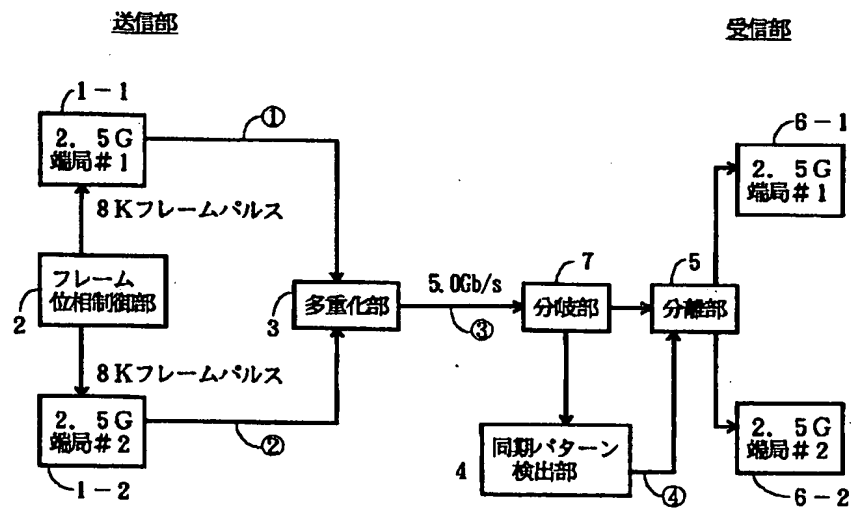
【図1】

## 本発明の原理図

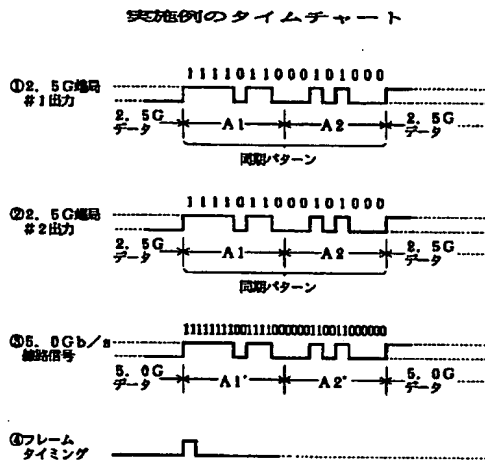


【図2】

## 本発明の実施例



【図3】



【図4】

## 従来例

